

## TRANSFERRED FLEXIBLE INTEGRATED CIRCUIT

**Publication number: JP2000514937 (T)**

**Publication date:** 2000-11-07

**Inventor(s):**

**Applicant(s):**

**Classification:**

- international: G06K19/077; G06K19/07; H01L21/68; H01L21/98;  
H01L23/538; H01L25/065; H05K1/16; H05K1/00; H05K3/20;  
G06K19/077; G06K19/07; H01L21/67; H01L21/70; H01L23/52;  
H01L25/065; H05K1/16; H05K1/00; H05K3/20; (IPC1-  
7): G06K19/077; G06K19/07

**- European:** H01L21/56T; H01L21/68T; H01L21/98; H01L23/538J;  
H01L25/065M; H05K1/16


**Application number: JP19980506154T 19970711**

**Priority number(s):** WO1997US12044 19970711; US19960680210 19960711

**Also published as:**

 WO9802921 (A1)

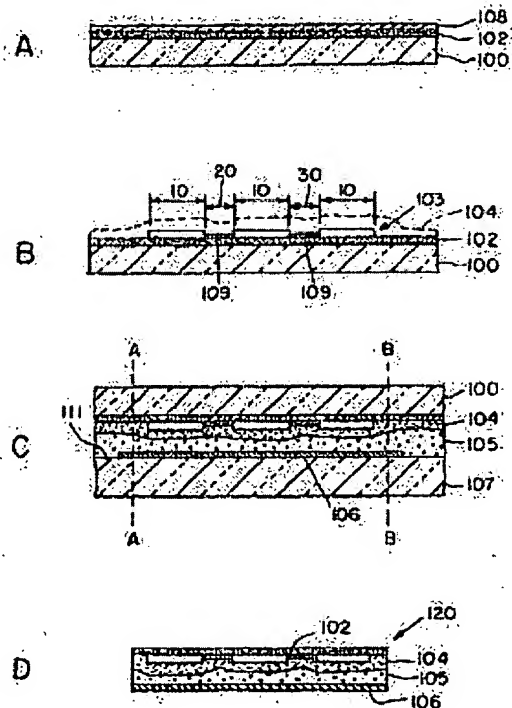
 US6027958 (A)

 EP0958607 (A1)

Abstract not available for JP 2000514937 (T)

Abstract of corresponding document: **WO 9802921 (A1)**

Integrated circuits for use in electronic devices requiring high density packaging are fabricated to provide highly flexible and ultra-thin devices having a variety of applications. The flexible circuits have dimensions up to several centimeters in surface area and thicknesses of a few microns. These circuits are fabricated using transfer techniques which include the removal of VLSI circuits from silicon wafers and mounting of the circuits on application-specific substrates.



Data supplied from the *esp@cenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2000-514937

(P2000-514937A)

(43) 公表日 平成12年11月7日 (2000.11.7)

(51) Int.Cl.<sup>7</sup>

G 0 6 K 19/077

19/07

識別記号

F I

G 0 6 K 19/00

テーマコード (参考)

K

H

審査請求 未請求 予備審査請求 有 (全 41 頁)

(21) 出願番号 特願平10-506154  
(86) (22) 出願日 平成9年7月11日 (1997.7.11)  
(85) 翻訳文提出日 平成11年1月8日 (1999.1.8)  
(86) 国際出願番号 PCT/US 97/12044  
(87) 国際公開番号 WO 98/02921  
(87) 国際公開日 平成10年1月22日 (1998.1.22)  
(31) 優先権主張番号 08/680, 210  
(32) 優先日 平成8年7月11日 (1996.7.11)  
(33) 優先権主張国 米国 (US)  
(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, JP, KR, US

(71) 出願人 コビン・コーポレーション  
アメリカ合衆国マサチューセッツ州02780ト  
ーントン・マイルズスタンデイツシュプ  
ルバード695  
(72) 発明者 ブ, ドウイーファチ  
アメリカ合衆国マサチューセッツ州02780ト  
ーントン・ベイストリート1559  
(72) 発明者 デイングル, プレンダ  
アメリカ合衆国マサチューセッツ州02048マ  
ンスフィールド・ローンデイルロード142  
(74) 代理人 弁理士 小田島 平吉 (外1名)

最終頁に続く

(54) 【発明の名称】 転送された可撓性集積回路

(57) 【要約】

種々の用途を有する高度に可撓性をもった超薄型の装置をつくるために、高密度パッケージを必要とする電子装置に使用される集積回路が製作される。この可撓性回路は表面の寸法が最大数cmであり、厚さは数μである。これらの回路は、VLSI回路をシリコンのウエハから取り外し、用途に特有な基板の上に該回路を取り付ける工程を含む転送法を使用して製作される。

FIG. 1A

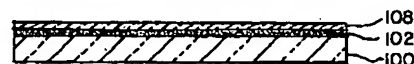


FIG. 1B

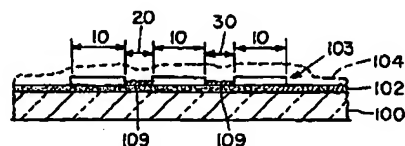


FIG. 1C

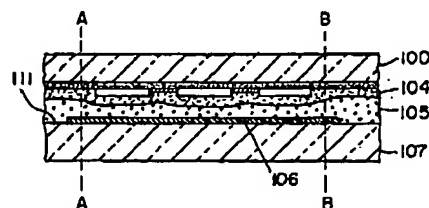
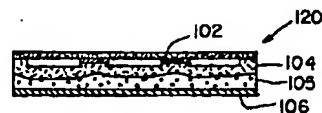


FIG. 1D



**【特許請求の範囲】**

1. 可撓性をもった基板；  
可撓性をもった薄膜集積回路；および  
該薄膜集積回路を該可撓性をもった基板に接合する接着層から成ることを特徴とする集積回路カード装置。
2. 薄膜集積回路は、基板が曲げられる運動をする際に該薄膜集積回路が該基板の形に合致するような厚さをもっていることを特徴とする請求項1記載の装置。
3. 該集積回路はメモリーおよびプロセッサを含んでいることを特徴とする請求項1記載の装置。
4. 該可撓性をもった基板は矩形の形をし、厚さが0.5～1mmの重合体材料から成っていることを特徴とする請求項1記載の装置。
5. 複数の接点が露出した被覆層をさらに含むことを特徴とする請求項1記載の装置。
6. 基板の上に取り付けられた無線のインターフェースをさらに含むことを特徴とする請求項1記載の装置。
7. 半導体基板をつくり；  
この半導体基板で集積回路を製作し；  
この集積回路を基板から可撓性材料へと転送し、この際該集積回路は可撓性をもった集積回路をつくる複数の間隔を置いて相互に連結された半導体区域を有することを特徴とする可撓性をもった回路装置を製作する方法。
8. さらに可撓性をもった集積回路を密封材で密封することを特徴とする請求項7記載の方法。
9. さらに可撓性をもった集積回路でアクティブなマトリックス液晶ディスプレイをつくる工程を含む請求項7記載の方法。
10. 該転送工程はさらに接着層を用いて集積回路を第2の基板に接着させ、半導体基板の一部を除去し、第2の基板を集積回路から剥がす工程を含むことを特徴とする請求項7記載の方法。

1 1. 半導体基板は絶縁体の上にシリコンが載せられた構造体がシリコン基板の上に存在するものであることを特徴とする請求項7記載の方法。

1 2. 該可撓性材料は重合体材料であることを特徴とする請求項7記載の方法。

1 3. 集積回路の該転送工程はさらに集積回路の露出した第2の側を装置で処理する工程を含むことを特徴とする請求項7記載の方法。

1 4. 基板の上に半導体材料で基板をつくり；

該半導体材料を有する集積回路を製作し；

分離層で基板から分離された接着層を有する第2の基板をつくり；

集積回路が接着層に接着するように該基板から第2の基板へと集積回路を転送し；

半導体材料の一部を取り去ってその中の集積回路を露出させ；

分離層の所で第2の基板を取り去り可撓性の集積回路をつくることを特徴とする薄い可撓性回路装置の製作法。

1 5. さらに銅を含む分離層をつくる工程を含むことを特徴とする請求項14記載の方法。

1 6. 分離層をつくる該工程は厚さが700 Åより薄い銅の層をつくる工程を含むことを特徴とする請求項15記載の方法。

1 7. 厚さが15 μより薄い接着層をつくる工程をさらに含むことを特徴とする請求項14記載の方法。

1 8. 厚さが4 μより薄い可撓性集積回路をつくる工程をさらに含むことを特徴とする請求項14記載の方法。

1 9. 半導体材料；

該半導体材料で製作された集積回路；

該集積回路を密封する被覆層；および

該集積回路に接着した可撓性の支持層から成ることを特徴とする可撓性回路。

2 0. 該支持層が銅であることを特徴とする請求項19の回路。

2 1. 該支持層がテフロンであることを特徴とする請求項19の回路。

22. 該支持層がプラスチックであることを特徴とする請求項19の回路

。

23. 該回路はメモリー付きのICカードから成ることを特徴とする請求項19の回路。

24. 該回路はデータ・プロセッサから成ることを特徴とする請求項19の回路。

25. さらに該回路と外部送信源またはカード・リーダーとの間にアンテナ・インターフェースを含むことを特徴とする請求項19の回路。

**【発明の詳細な説明】****転送された可撓性集積回路****関連明細書**

本出願は1996年7月11日付けの米国特許願08/680,210号の一部をなす継続出願である。該米国特許願は参考のために添付されている。

**本発明の背景**

現在集積回路の技術においては、携帯性をもたせるため柔軟な形の高密度パッケージが以前にも増して必要とされている。ノート型コンピュータ、ポケットベル、およびセル式電話などのような消費者向けの電子機器では、空間および重量の制限のため、機器を交換する場合の相互間の連結を少なくし集積度を大きくすることが要求される。

大部分の集積回路は半導体のウエーファアの上につくられ、チップ装着具、即ちパッケージを使用してプリント回路板に取り付けられる。他の興味ある分野は通常多重チップ・モジュール(MCM)と呼ばれるものをつくることにより装置の密度を改善する技術に関するものであった。多重チップ・モジュールにおいては、共通の基板の上で高密度の装置が互いに連結されている。

興味ある他の分野はパッシブ(passive)な素子並びに集積回路を可撓性材料の上に置いていわゆる「可撓性回路」をつくる技術に関する分野である。しかし現状では、これらの装置は単に可撓性支持材料の上に配置された別々の非可撓性回路か、または一般に「可撓性ケーブ

ル」と称される可撓性材料の上または内部の簡単な配線を含んでいるに過ぎない。可撓性のある運動を行ない得る回路素子は金属の相互連結装置に限られている。

形が著しく縮小された回路素子を必要とする、もっと複雑な電子システムに適した回路の製作法を改善することが、現在もなお引き続き要望されている。

**本発明の概要**

本発明は薄膜回路転送技術を用い極めて可撓性の高い集積回路を製造する方法に関する。特に本発明によれば、可撓性の支持材料の上に転送されたミクロンま

たはサブミクロンの範囲の大きさををもつ薄膜集積回路装置が提供される。本発明によって得られる極めて薄い回路は、回路の一体性を保ちながら、曲げる運動およびそのような運動から生じる引っ張りおよび圧縮応力を許容することができる。本発明方法を用いると、ディスプレイ、検出器、相互連結素子、多重チップ・モジュール、通信機器、PCMCIAカード、およびICカード装置、並びにプロセッサおよびメモリーを含む多くの用途をもった複雑な形に適合するアクティブ（active）な集積回路の素子が製造できる。

集積回路は伝統的に単結晶のシリコンのような半導体材料および砒化ガリウムのような種々のIII-V族材料から製造される。しかし単結晶のシリコンはかたく脆い材料であり、この材料を用いてつくられる集積回路のチップは、降伏強さおよび寿命を最大にするために、高度の剛性をもったチップ装着具または回路板の上に取り付けて各チップにかかる機械的応力または他の力を防ぐようにする。単結晶のシリコンは引っ張りの降伏強さが $6.9 \times 10^{10} \text{ dyne/cm}^2$ 、ヤング率が $1.9$

$\times 10^{12} \text{ dyne/cm}^2$ である。シリコンは典型的には室温において割れることにより降伏を起こすが、金属は通常非弾性変形によって降伏を起こす。即ち集積回路に使用される結晶性材料は一般に可撓性回路の用途に十分適していると考えられていない。

本発明によれば、可撓性基板の上に単一の集積回路をつくるように相互に連結された半導体材料の連続したおよび／または間隔を置いて配置された区域を製造することによりこの問題が解決される。半導体材料の間隔を置いて配置された区域は可撓性基板の上に適当な寸法で分離されてつくられ、一つまたはそれ以上の軸に沿って回路を実質的に曲げることができるように材料で相互に連結されている。半導体素子の間の間隔の大きさ、支持用の基板の可撓性、および半導体素子の間を連結する材料の可撓性により、回路の機能を失うことなく回路を曲げ得る運動の範囲が決定される。さらに厚さが $100 \mu$ より、好ましくは $10 \mu$ より薄い半導体連続材料の薄いフィルムは、その薄いフィルムでつくられた回路の面内において $100 \mu$ より小さい回路素子が曲率半径最大1インチ（2.54 cm）

の曲げ運動をしても回路としての挙動を保持し得るほど十分な可撓性をもっている。本発明の回路では、多くの用途において所望の可撓性を得るための最低の曲率半径は少なくとも10インチ(25.4 cm)、好ましくは少なくとも5インチ(12.7 cm)である。

好適な具体化例においては単一転送法が使用されるが、この方法では絶縁されたシリコン基板の上につくられた単結晶のシリコン(SOI)の内部に、薄い可撓性をもった集積回路素子がつくられる。この回路を被覆層で覆った後、ガラスのような第2の基板に転送する。第2の基板は接触面に接着層が備えられ、基板と接着層との間には銅のフィルムの

ような分離層またはエッチング停止層が存在している。次に被覆層が接着層と接合するように集積回路を第2の基板に転送する。次いでシリコン基板を除去し、シリコンのウエーファア上の絶縁層として使用できる酸化シリコンの層を露出させる。次に酸化シリコンの層の一部を除去し、集積回路の接点を露出させ、さらに集積回路を処理する。同様に分離層の所で第2の基板を剥がし、特定の用途に応じて厚さの範囲が0.1~100  $\mu$  またはそれ以上に互る回路構造物を得る。大部分の用途に対しては、転送された構造物の厚さは2.0  $\mu$  より薄いことが好適である。多くのCMOS回路の用途に対しては、シリコンのフィルムは0.3~1.5  $\mu$  の範囲の厚さをもつことが好ましい。最終構造物では、銅のような分離層を構造物の内部に残し、支持、電氣的遮蔽、熱制御および／または接地に使用することができ、或いは別法としてこれを取り去ることができる。第2の基板を取り除いた場合回路は容易に曲る接着層で支えられる。次いで装置を完成させ、密封し、それぞれ必要な外部の連結子または接合パッドを取り付けまたは露出させる。

接着剤はTrac onまたはEP-112のような市販のエポキシド、または中に窒化アルミニウム粒子が懸濁されたEP-30ANのような熱伝導性エポキシ剤であることができる。ここで使用される接着層は最高75  $\mu$  またはそれ以上の種々の厚さをもっていることができる。

他の好適具体化例においては、中間の基板に回路を転送した後、これを第3の



基板に転送する二重転送法を用いる。この好適具体化例においては、可撓性のあ  
る集積回路をつくった後、これを被覆層で覆う。集積回路を含むこの構造物を次  
に第2の基板に転送し、被覆層と接着層とを接合する。剥離層および／またはエ  
ッチング停止材として作用する無定

形シリコンの薄層、または他の分離層を第2の基板と接着層との間に入れる。シ  
リコン基板を取外し酸化シリコンの層の平らな表面を露出させる。第2の基板に  
中間的な支持物を取り付けた後、この回路を剥離可能な第3の層または可撓性を  
もった用途に特有な基板に転送する前。

用途に特有な基板はプラスチックまたはテフロン材料のような高度の可撓  
性をもった材料であることができる。最終的な基板は、分離層のない第2の接着  
層を取り付けることにより回路を受けるようにつくられている。次いで回路を第  
2の基板から最終基板へと、二酸化シリコンの平らな表面が第2の接着層と接合  
するように転送する。随時二酸化シリコンの層をさらに処理して装置を製造およ  
び／または単結晶のシリコン層と連結した後、第2の基板に転送することができ  
る。得られた構造物をフッ化水素酸（HF）のような酸性溶液に浸漬してガラス  
のような第2の基板を除去する。このような溶液は、同時に最終基板および分離  
層、例えばテフロン、銅または無定形シリコンに影響を与えずに、ガラスまたは  
他の基板を除去する手段を与える。

別法として、単一または二重転送法のいずれにおいても、露出した周辺の区域  
または分離層の周りの環状の輪の部分に沿って接着層に直接接合した基板に対す  
る分離層自身の接着性を減少させることができる。構造を分割（dicing）  
することは回路を分離する役目をする。この時回路は分離層で基板に緩く接着い  
ているだけである。事実、製造中構造物の中に生じる固有の応力により、分割後  
構造物に曲げまたは積層剥離が起こり、構造物は簡単に基板から持ち上げること  
ができる。

銅の層は一つの基板と接着剤との間に分離層をつくるのに用いることができる  
。分離層は厚さが100～1000 Åであることが好ま

しい。接着層の厚さは $75\mu$ より薄いことが好適である。本発明の単一層の可撓性回路の全体の厚さは $100\mu$ より薄いことが好適である。しかし用途に依存して全体の厚さは $1.0\sim 100\mu$ の範囲に亙ることができる。

他の好適具体化例では、可撓性構造物を2層またはそれ以上の層にして積層化して使用する。各可撓性構造物は片面または両面に回路がつくられているか、および／または三次元の回路構造物の内部で回路が連結された異なった層に使用することができる。異なった回路層は異なった程度の剛性をもち、それによって装置の製作の最終段階において得られる積層回路構造物は所望の程度の可撓性をもつことができる。単一層および多重層の回路装置は装置の一つの軸に沿った可撓性が装置の他の一つまたはそれ以上の軸に沿った可撓性よりも大きくなるような形をしていることができる。これは回路素子自身の可撓性が或る特定の軸に沿って大きくなっているか、或いは特定の用途においては或る特定の軸に沿って可撓性が大きいことが必要とされるためである。集積回路の半導体の区域の間の空間の大きさおよびその方向は、異なった軸に沿って要求される可撓性の差に適合するように設計することができる。これらの層は、一つまたはそれ以上の選ばれた軸に沿った回路の折り曲げに対する耐久性を増加させまたは最大にするのに使用することができる。

本発明により製造された回路は、電池で動作する多くの用途に対して低電力で動作する素子を含んでいることができる。このような低電力システムは1997年6月27日付けのJacobsen等の米国特許願 号に詳細に記載されている。この特許願は1997年5月9日付けの米国特許願08/853,630号の継続出願であり、これ

らの明細書の全内容は参考のために添付されている。

本発明の上記特徴、および部品の構成および組み合わせの種々の新規詳細点を含む他の特徴を、添付図面を参照して次に詳細に説明し、添付特許請求の範囲に掲げる。本明細書に記載された特定の具体化例は例示のためにだけ示されたものであり、本発明を限定するものではないことを了解されたい。本発明の原理および特徴は本発明の範囲を逸脱することなく種々のまた複数の具体化例に使用する

ことができる。

#### 添付図面の簡単な説明

図1 A～1 Dは本発明の可撓性をもった集積回路を製造するための好適な単一転送法を示す。

図2は本発明の単一転送法で製造して得られた可撓性回路の構造物を示す。

図3 A～3 Cは本発明の可撓性をもった集積回路を製造する好適な二重転送法を示す。

図4は本発明の二重転送法で製造して得られた可撓性回路の構造物を示す。

図5 A～5 Eは本発明方法によりプラスチック基板の上に可撓性をもった集積回路を製作する好適な単一転送法を示す。

図6 A～6 Eは本発明方法によりプラスチック基板の上に可撓性をもった集積回路を製作する種々の形の好適な二重転送法を示す。

図7は本発明方法により製作された一連のインバーターを示す。

図8は図5に示したインバーター・チェーンに付属した時間遅延を示すグラフである。

図9は本発明方法で製造された種々の形の可撓性回路を装着した装置

の露出図である。

図10 A～10 Bは可撓性の通信回路が取り付けられたICカード（スマート・カード）を示す。

図11は本発明によって製造された可撓性回路を示す。

図12は少なくとも3個のアクティブおよび／またはパッシブな回路素子の層を有する積層化された可撓性回路を示す。

図13は行および列が集積回路から成る可撓性をもった能動のマトリックス回路の模式図である。

図14は図13の回路に使用される可撓性をもった液晶ディスプレイの断面図である。

図15 A～15 Eは互いに連結された多重層回路構造物を製作する工程の順序を示す。

図15Fは互いに連結された多重層回路の他の具体化例を示す。

図15G～15Hは本発明による他の好適な転送法を示す。

#### 好適具体化例の詳細な説明

図1A～1Dに好適方法が示されているが、この中には単一転送法により可撓性回路を製作する工程が含まれている。図1Aは絶縁体上のシリコン(SOI)構造物を示す。この構造物では二酸化シリコンの層102の上に載せられた単結晶のシリコンの薄膜108がシリコン基板100の上に配置されている。好適な具体化例においては、二酸化シリコンの層は厚さが0.05～5 $\mu$ 、好ましくは0.1～1 $\mu$ である。高性能の集積回路を製作する上におけるSOI材料の利点は米国特許5,377,031号、同5,258,325号および同5,376,561号に記載されている。これらはすべて参考のために添付した。

転送には絶縁されたシリコンのエピタクシー・ウエーファーを用いることが好ましい。この種の材料は先ず標準的なチョクラルスキー(Czochralski)ウエーファーの上に厚い高品質の熱的酸化物を成長させることによりつくられる。この酸化物の上に高純度のポリシリコンの層を沈着させ、次いで酸化物のキャッピング層を沈着させる。次に帯融精製再結晶法を用いポリシリコンを単結晶のシリコンに変える。その結果絶縁性のSiO<sub>2</sub>層の上に載せられた薄い高品質のSi層が得られる。SOI材料を製造する他の方法にはSIMOX法または接合ウエーファー法が含まれる。

図1Bはシリコン層108またはGaAsのような他の半導体材料を用い集積回路装置を製作する工程を示す。これらの装置は金属酸化物-半導体電界効果トランジスタ(MOSFET)、CMOS回路の発光ダイオード(LED)、光電池、他のアクティブな装置、およびそれとパッシブな素子とを組み合わせられてつくられた装置のようなアクティブな素子を含むことができる。GaAsの装置、特にLEDを制作するシステムおよび方法は米国特許5,300,788号に記載されている。その全内容は参考のために添付されている。装置の素子103は例えば金属メッキされた導線109に連結され、ついで被覆層104で被覆されて保護されている。被覆層は二酸化シリコンまたは窒化シリコンであり、厚さは0.

5～2  $\mu$  の範囲であることが好ましい。好適具体化例においては二酸化シリコン層、該装置および被覆層を組み合わせた厚さは10  $\mu$  よりも薄いことが好適である。

集積回路内部の個々の装置素子103は或る与えられた軸に沿った断面の寸法10をもっている。これらの素子103はその用途に依存して

同一または相異なった幾何学的形状および大きさをもっていることができる。回路の内部の個々の素子103は或る与えられた軸に沿って同一または相異なった間隔20、30で分離されている。個々の結晶素子103はいずれの方向においても大きさが100  $\mu$  より小さいことができる。回路の素子103の間の間隔20、30により回路の可撓性区域を多くすることができる。この用途に対する目的のためには装置の各素子103の断面積は該素子がある支持面を覆う表面積である。一般に装置の素子103の表面積は数平方ミクロン乃至数千平方ミクロンの範囲（例えば1  $\mu\text{m}^2 \sim 10000 \mu\text{m}^2$ ）である。或る与えられた素子の厚さが厚いほど得られた回路の可撓性は小さくなる。

図1Cはガラスのような第2の基板107、分離層106、および接着層105を示す。分離層は銅のような金属のフィルムまたは箔であることができる。好適具体化例においては、分離層106はまた腐食停止材としての役目をし、接着層105を保護しながら以後ガラスの基板の腐食を行なうことができる。好ましくは接着層105は厚さが15  $\mu$  よりも薄く、分離層は3000 Å よりも薄い厚さをもっている。しかし接着層105は特定の用途に依存して最大3ミルの厚さをもつことができる。図1Cに示されているように、アクティブな回路素子103を支えている基板100は接着層105および介在する分離層106で第2の基板107に固定されている。この単一転送法においては薄いフィルムのシリコンの回路を直接目的とする基板107に転送することができる。この基板は分離層をもたないプラスチックまたは他の変形可能な材料であることができる。

好適具体化例においては、分離層106の周辺部の周りで基板107

の縁111が接着層105と直接接着している。この具体化例においては全体の

構造物を分割する際に基板107は分離層から剥がされる。周囲の連結区域の幅はウエーファースの大きさおよび使用するウエーファースの区域に依存して変えることができる。一般にこの連結区域は幅が1.0~10mmであり、6インチのウエーファースに対しては5~8mmが好適である。これよりも大きなウエーファースまたは或る形状の装置に対しては、連結区域はウエーファースの中心にある円形部分かまたは他の対称的なパターンをなしているか、連結区域のパターンは各ウエーファースの上にある個々の装置の周りおよびその間でつくることができる。

図1Dにおいては、第2の基板107へ転送された装置103は接着層107で分離層106に接合されていることが判る。一次基板100は上記特許に記載された持ち上げるだけで取り去る方法またはエッチング法により除去され、二酸化シリコンの層102が露出されている。好適具体化例においては、基板107から層106を単に剥ぎ取ることにより分離層106の所で第2の基板107が除去される。

基板を除去する種々の方法の中には、化学的および／または機械的な持ち上げるだけで取り去る方法が含まれる。この特定の例においては図1Cの構造物を線A-AおよびB-Bに沿って四角に分割する。区域111に沿って回路を基板107に固定するための接着剤はこの部分には存在しないから、分離層106は容易に基板107から剥がれ、図1Dの可撓性をもった集積回路120が得られる。

図2においては、さらに処理および／または外部への連結を行なう目的で、分割して基板107を取り去る前に、二酸化シリコンの層102の一部140をエッチングしてアクティブな回路装置103の第2の側面

130を露出させるために随時介在させて行なわれる工程が示されている。第2の側面に対する処理は透過型または反射型のアクティブなマトリックス・ディスプレイに対する光遮蔽材をつくるか、または種々の回路の用途に対する相互連結部材をつくる操作を含むことができる。反射型または透過型のディスプレイは周囲の光を使用することができる。次いで第2の側面を密封し、この装置を特定の用途のために取り付けることができる。この構造物を密封するのに用いられる誘電

体材料を適当な強度および厚さで被覆し、可撓性の構造物に対して応力を放出させ或いはこれに剛性を賦与し、また熱吸収部をつくり或いは接地を行なうことができる。アクティブな回路層を可撓構造の中心に配置し、回路層およびそれに付随した相互連結部材にかかる応力を、かなりの折り曲げ範囲に亙り装置の限界最低曲率半径まで減少させることができる。この装置の限界最低曲率半径は回路の種類と複雑さに依存している。

図3A～3Cは薄膜可撓性集積回路を製作する本発明の他の具体化例を示す。特にこれらの図は、薄膜回路を中間の即ち転送用の基板に転送した後、用途に特定の基板に転送する二重転送法を示している。図3Aにおいては、図1A～1Cの工程で説明したようにして集積回路装置303を基板300の上につくる。前と同じようにこの薄い初期構造物はシリコン基板300を含み、その上に二酸化シリコンの層302、回路素子303および被覆層304がつくられている。図3Aにおいては回路が中間の基板307に転送されるのが示されている。典型的には中間の基板307はガラスである。この場合もこの回路は接着剤305で分離層306に接合され、この具体化例では分離層は無定形シリコンであり、これが中間の基板307に取り付けられている。

図3Bにおいては、上記の持ち上げて剥がす方法により基板300を取り除く。残った構造物は裏面処理および恐らくは用途に特有な基板に対する第2の転送が行なえる状態にある。図3Cは可撓性の回路を所望の最終製品に搭載するのに使用することができるテフロンまたはプラスチックのような可撓性の基板310を示す。接着層308は最終基板310を積層構造物に接合するのに使用される。次にこの組み合わせ構造物をエッチングして任意の一時的なまたは望ましくない基板層を剥がす。この具体化例においてはエッチング法により中間の基板307を除去することができる。HF溶液はガラスのような材料を腐食するが、銅、無定形シリコンまたはテフロンのような他の材料には影響を与えない。図4は、随時接着剤305および分離層306を取り除き、回路素子303の区域320を露出させ、外部の連結を含む処理を行なうことができることを示している。

図5 A～5 Dは、単一転送法を用いてプラスチック上に可撓性の回路をつくる好適な具体化例を示す。他の具体化例と同様に、この方法は図5 Aに示すように、二酸化シリコンの層502の上に載った単結晶のシリコンの薄膜をシリコン基板501の上でつくることによって開始される。アクティブおよびパッシブな素子を含む集積回路503をシリコンの層を用いてつくり、被覆層504を回路素子503の上に被覆して保護する。図5 Bでは、回路503に接合するための接着層506が取り付けられたプラスチックの薄層505がつくられることが示されている。図5 Aの回路は分割して別々の成分にし、次にこれを拾い上げて配置する方法を用い可撓性の基板505に転送することができる。プラスチック層505の厚さは数 $\mu$ のプラスチック・フィルム程

度の厚さ、或いは0.1～2 mm程度のクレジット・カードの厚さであることができる。図5 Bに示すプラスチック基板505の可撓性は、高度に可撓性をもった状態から半剛性をもった状態に互ることができる。シリコン基板の上の回路503は被覆層504が接着層506に接合するようにプラスチック基板505に転送される。図5 Dにおいてはシリコン基板501を前述の持ち上げる方法で剥がし、二酸化シリコンの層502の一部を除去してアクティブな回路素子503を露出させる。

別法として二酸化シリコン層502の上につくられた集積回路を接着剤を用いずに直接プラスチック層505に転送することができる。この具体化例を図5 Eに示すが、この場合プラスチック基板505は被覆層504に取り付けられている。プラスチック層505を接着するには、構造物を約150℃に加熱してプラスチックを半ば熔融させ、これを被覆層の表面に接合することにより行なうことができる。

図6 Aから6 Eでは、集積回路603をつくり、上記二重転送法を用いてプラスチック基板に転送する他の好適具体化例が示されている。他の具体化例と同じように図6 Aにおいては、この方法はシリコン基板601、およびその上につくられたSiO<sub>2</sub>層602の上に延びたシリコンの薄層を用いて始められ、次いで装置603および被覆層604をつくる。図6 Bは転送基板605を示し、



また分離層606が接着層607によって被覆されていることを示している。図6Dは互いに接合された図6Aおよび図6Bの素子を示す。図6Dは基板601を除去した後接着層608でSiO<sub>2</sub>層602に接合されたプラスチック基板609の薄層を示す。図6Eは直ぐ使用できる形の可撓性回路を示す。この場合中間の基板605はエッチングされており、無定形シリコンの

ような分離層606、およびエポキシ層607は必要に応じ剥がされている。

本発明方法によってつくられた可撓性回路の性能は、図7に示すようなインバーター・チェーン400の時間遅延特性を調べることにより定量化することができる。図7は高電圧または低電圧のいずれかの入力電圧( $V_{in}$ )401が入力される1000個のインバーター・チェーンを示す。図7の回路を本明細書に説明されているようなSOIウエーファで製作し、銅箔に転送する。この箔とその上に取り付けられた回路を、構造物の曲率半径が1cmより小さくなるように曲げてロールにし、次いで平らにして試験する。試験装置は、出力電圧( $V_{out}$ )406を測定して出力レスポンスが得られるまでの遅延時間を決定するように配置されている。図8において、遅延時間501は供給電圧( $V_{DD}$ )に関して減少しており、この回路は曲げてロールにした後でも正常に動作することが判る。

図9では一般に可撓性回路を種々の形で装着する際の考察が示されている。図9はラップトップの手で持ち運べるコンピューターのようなハウジング901から成る装置を示す。このシステムは広い範囲の外部装置およびI/O装置を支持するのに極めて適したパッケージ化された内部成分を含んでいる。

典型的にはこの装置900は、本発明方法に従って製作された可撓性回路板904の内部につくられた中央処理装置919によりコントロールされる。この回路板904は一般にマイクロプロセッサ919とメモリー918から成っている。装置900は必要に応じ多重処理を行なうための複数の補助回路板923を含んでいることができる。回路板9

04および補助回路板923は直接インターフェース924および例えばケーブル905によるような可撓性インターフェースの両方に連結されている。従来法

のケーブルと異なり、ケーブル905はデータの流れの制御および他のインターフェース操作を助けるアクティブな素子を含む本発明方法に従ってつくられた可撓性の回路906を含んでいる。装置900は一般に、電池920、および電力制御機能を行ないまたこの装置の他の特徴に対するインターフェースとなる別の回路板921を具備したサブシャーシ908をさらに含んでいる。

装置900はさらに二次ハウジング911を支持する可撓性部材922を含んでいる。二次ハウジング911は折り畳んで主ハウジング901またはスタンドの上部の上に配置できることが判るであろう。二次ハウジング911は平らなパネルのディスプレイ・ユニット913およびそれに付随したドライバー回路912を含み、該回路912は該ディスプレイ913の背面に直接積層化されたアクティブな素子をもっている。ディスプレイ913は他のケーブル909を通して連絡し、前と同様にケーブル909は該ケーブル909の内部につくられた可撓性をもった多重回路を支持することができる。図9に示したディスプレイはバックライト付きのアクティブまたはパッシブな液晶ディスプレイ、または米国特許5,377,031号および同5,206,749号記載の放射型ディスプレイのいずれかであることができる。該米国特許は参考のために添付されている。これらの装置にはポケットベル、電話、カード・リーダーまたは他の個人用通信装置またはディスプレイ装置が含まれる。

この装置は内部または外部のI/O装置、例えばキーボードまたはキーパッド917により制御することができる。装置900はさらに広い

範囲の外部装置、例えば導線903によってボード903、904に連結され、それぞれアクティブな回路を含む可撓性のカード902を支持することができる。本発明方法でつくられるような種々の形で可撓性の回路を装着すると、図9に示すような装置に対し極めて高密度の収納性および携帯性が得られる。

さらに他の具体化例においては、図10A~10Bに示すようなアクティブな通信素子を有するICカード1000がつくられる。これらのカードはクレジット・カードと同じ寸法（即ち約 $3 \times 3 / 8 \times 2 - 1 / 8$ インチ、または約85.6 × 53.98 × 0.76 mm）および材料をもち、また超薄型のディスプレイ・

パネル1001を含んでいることができる。一般にこれらのカードは各辺の大きさによる表面積が $4500 \sim 5000 \text{ mm}^2$ 、厚さが $0.5 \sim 1 \text{ mm}$ の範囲にある。図10A～10Bにおいては、カード1000はディスプレイ・パネル1001の下方にあるマイクロプロセッサ1005およびメモリー1006によってコントロールされ、電池1007によって電源を供給できることが判る。ディスプレイ1001はアクティブなディスプレイ素子を有する平らな回路駆動板1004によって駆動される。これらのカードはポケットまたは財布の中に入れて運ばれ、曲げたり落したりした後でも性能に劣化を生じることなく動作する。同様に腕時計、ポケットベルおよび電話を可撓性回路およびディスプレイ・ウインドーに装着し、テレビ電話的な通信機能を持たせることができる。このカードはまた磁気ストリップ (magnetic strip) または磁気コイルをもっていることができる。この回路はインターフェースとしてコイルの片側に取り付けることができる。

本明細書に説明した可撓性回路は、国際標準化機構 (ISO)、国際電気標準会議 (IEC) および米国規格協会 (ANSI) の標準および指針に従うICカードの製作に使用することができる。これらに関する出版物は米国ニューヨーク、11 West 42nd Street、NY10036のANSI、およびスイス、ジュネーヴのISOから入手できる。

接触型並びに無接触型の集積回路カードに関するISO/IEC 7816-1～7816-7およびISO/IEC 10536を含むこれらの標準、並びにその改定版はその全文を参考のために添付した。このようなカードに対する物理的特性はISO 7816/1に記載されており、これらの特性には曲げおよび振り特性が含まれている。二つの短い辺を曲げた場合、長い辺 ( $85.6 \text{ cm}$ ) の中央は毎分30回の曲げ速度で少なくとも250回 $2 \text{ cm}$ ほど曲げられなければならない。二つの長い辺を固定した場合には、短い辺 ( $53.98 \text{ cm}$ ) の中点は同じ速度、同じ回数で $1 \text{ cm}$ だけ曲げられなければならない。このカードは1000回曲げた後もなお電氣的な機能を果たさなければならない。即ち4つの位置の各々で250回曲げた場合にも標準に合致しなければならない。振りに

対しては、共通の中心軸の周りに二つの短い方の辺を互いに $\pm 15^\circ$ だけ回転させても機能を失わないことが要求される。本明細書に記載された可撓性回路は容易にこの標準を満たすか、またはこの標準を超えている。

可撓性回路および相互連結部材は、コンピュータの用途、特に空間および重量の制約により空間を公称通りに使用できることが要求されるノート型およびサブノート型のパッケージの用途に対して重要である。本

発明の可撓性回路はパソコン用の著しく薄く軽量の携帯型部品を提供する。例えば、マイクロプロセッサを含む集積回路をノート型またはサブノート型のディスプレイ・パネルの上に直接製作することができ、キーボードのシャーシは格納装置および他のI/O装置のような周辺装置のハウジングとしてだけ考えればよい。他の態様においては、キーボードのスロットを通して受け取り得る標準のPCMCIAカードは可撓性の基板の上に製作された多重メモリーおよびモデム装置を含むことができる。前に説明したようにメモリーおよびプロセッサを含む他の構成要素のホストを、アナログ型およびデジタル型の両方とも、可撓性の基板上に製作してさらにパーソナル・コンピュータの大きさおよび全体としての重さを減少させることができる。

この装置はカード・リーダーまたは他のICカード・インターフェース装置として使用することができ、この場合ディスプレイを使用してカード上の情報またはカードに格納すべき情報を表示する。

他の用途には電荷結合素子および画像装置が含まれる。例えば、電子回路への光学的信号を受け取るための光入力を含む光学的放射検出用アレイをカードの内部につくることができ、これらのアレイはカードの誘電体材料を使用して信号をカードの片側から他の側へと伝達する導波管としての機能を果たす。

図11には曲率半径 $\rho$ の円弧に沿って曲げられる厚さ1110を有する本発明に従ってつくられた可撓性回路が示されている。このような平らな構造物を曲げる場合、曲った上側の表面1100上の材料には張力がかかり、この曲面に適合するために上側の表面は伸びなければならない。下側の表面1102の材料は圧縮される。ある与えられた曲率半径

に対して材料が厚くなるほど、これらの二つの表面の所での応力が大きくなる。アクチブな素子1104を含む層は、この構造物が曲げられた場合、張力および圧縮力が最小になるように構造物の内部に位置している。相互結合部材1106、1108を含む層は大きな可撓性をもち、従って破壊を起こすことなく大きな値の張力および圧縮力に適合するような位置をとることができる。

図12には第1のアクチブな回路の層1202および第2のアクチブな回路の層1204を有する積層化された可撓性回路構造物1200が示されている。これらの層はそれぞれn個の絶縁層1206および1208をもつようにつくられている。アクチブな層は層間相互結合部材1212およびルーティング(routing)相互結合部材1214を用いて相互に連結されていることができ、これらの後者は1個またはそれ以上の随時存在するルーティング層1210の中につくることができる。これらの多重層回路およびそれからつくられた装置を製作する方法は1995年9月19日付け米国特許願08/531,177号、1994年9月29日付け同08/315,027号および米国特許5,376,561号に詳細に記載されている。これらの文献はすべて参考のために添付されている。好適具体化例においては、アクチブな回路の層1202および1204は、例えば図11の接着層1105の反対側にある素子1104のように、単一の接着層の反対側に取り付けることができる。この具体化例においては回路を取り付ける絶縁用の酸化物は外側即ち回路構造物の方を向いている。各回路の支持用の基板を同時にまたは順次取り除くことができる。これによって両側にある酸化物の層を通してまたはその層の上で同時にまたは順次処理を行なうことができる。

この積層化した回路構造物を次ぎに密封し、可撓性をもった形のアクチブな多重層回路にすることができる。

これらの積層化した構造物を非常に薄くつくり、比較的厚い積層構造物の中に入れた場合実質的に曲るようにすることができる。図12の回路は回路に関して比較的厚くすることができるプラスチック層(図示せず)の内部に密封することができる。磁気ストリップまたは光学的な入出力素子をこの装置の中に導入

し、内部プロセッサおよびデータ入出力のプログラミングを行なうことができる。

図13にはアクティブなマトリックス回路1300が示されているが、これは列方向のドライバー1304および行方向のドライバー1306から成る集積回路の中に20,000以上のトランジスターを使用して製作されたものである。本発明方法で製作された場合、この構造物は回路の性能を損なうことなく、例えば軸1308の周りで曲げて曲率半径が1インチの幾何学的形状にすることができる。

図13のような可撓性をもったアクティブなマトリックスを用いて液晶ディスプレイのような透過光の光弁をつくることができる。このようなディスプレイ1400の断面図を図14に示す。この好適具体化例においては、アクティブなマトリックス回路1402は接着剤1404で可撓性の随時透過性をもったプラスチック・フィルム1406に取り付けられている。回路1402の反対側には可撓性の固体の液晶材料1408、例えば重合体を分散させた液晶材料が、回路と対向電極1410、例えばプラスチック基板1412の上につくられた酸化錫インジウムの薄いフィルムとの間に配置されている。

本発明の他の好適具体化例を図15A～15Eに示す。図15Aおよ

び15Bは、塊状の半導体ウエーファーまたは図示のような絶縁体の上にシリコンが載せられた(SOI)構造物を用いて製作されたトランジスター回路1500をつくるための、第1のシリコン基板1502上の工程順序を示している。酸化物層1508およびLTO層1510で分離されたトランジスター1504を含む単結晶のシリコン材料の中に回路をつくることができる。各トランジスター1504の電源即ちドレイン区域はメッキされた接触パッド1506を有している。接触パッド1506は図15Bに示すような金属の突起または柱1512をつくるのに適した位置にあり、またそれに適した幾何学的形状をもっている。この柱状構造物1512はフォトレジストを沈着させそれでパターンをつくりパッド1506を露出させてつくられる。開口部は金属で充填し、溶媒を用いてフォトレジストを取り去る。

第2の回路1520は図15Cに示すように第2のウエーファー1522の上方につくられる。トランジスター1528は、SOI構造物を生じるように絶縁酸化物層1524の上にある単結晶のシリコンフィルム1526の中につくられる。この構造物は横に延びたメッキされた接触パッド1530をもっている。回路1520を可撓性の基板1532に転送し図15Dに示すようにエッチング1534によって基板1522を取り去った後、接触区域の下側にある絶縁体の区域およびLTO区域を取り除くことができる。

これらの区域を取り去った後、図15Bおよび15Dの構造物を並べ、接着層1540を用いて接合し図15Eに示すような多重層回路構造物をつくることができる。基板1502を取り除き、装置を密封し可撓性をもった多重レベル回路装置をつくることができる。

他の好適具体化例においては、上方の回路はカメラに対する固体センサー・アレイを含んでいることができる。このセンサー・アレイまたは検出器アレイは $640 \times 480$ から最高 $1024 \times 1024$ またはそれ以上の高画像分解能をもつピクセル電極のアレイを含んでいる。CMOS画像センサーの構造および製作に関するこれ以上の詳細点はFossumの「CMOS画像センサー：チップ上の電子カメラ」と題するIEDM、17～20頁（1995年）の論文に記載されている。その全文は参考のため添付されている。これらのCMOSのアクティブなピクセル・センサー装置は3～5ボルトの範囲で動作し、必要操作電力が低く、完全なビデオ出力を与える。ピクセル・アレイ全体に対しマイクロレーン・アレイ（microlens array）を使用して光学的な充填因子を改善することができる。本発明においてはセンサーをコントロールするのに積層化した下方にある回路を使用するから、センサーのピクセル電極の面内における表面積に対する回路の要求が減少するから、検出器の光学的な孔を大きくすることができる。

図15Fに転送された集積回路1600の他の具体化例を示す。この具体化例においては、第1の回路1614は基板1602の上または上方につくられている。前述のように他の基板の上につくられた第2の回路は単一転送法または二重

転送法によって基板1602に転送される。第2の回路は絶縁区域(LTO)1608によって分離された回路素子1620を含み、接着層1604で基板1602に接合された絶縁層1606の上に位置している。不動態化層1610は接触パッド1616、1618を露出するための開口部を規定している。メッキ層1612を沈着させ、これによって第1の回路1614を第2の回路素子1620

に連結する。この場合層は側壁区域1622の上を延びている。切断を生ぜずにメッキを側壁1622の所まで延長するためには、側壁は好ましくは約 $5\mu$ 以下の厚さをもっている。接着剤が約 $1\mu$ の厚さをもっている場合、全体としての側壁の高さが $3\sim 4\mu$ の範囲となるためには、回路素子1620は $2\sim 3\mu$ の厚さをもっていることが好ましい。

図15G～15Hには転送された集積回路構造物を製作する他の好適方法が示されている。この構造物1650は回路層1658を有し、その絶縁区域1656は絶縁用酸化物層1654およびシリコン基板1652に互って延びている。不動態化層1665の上にアルミニウム層1660がつくられ、接着剤1662を用い転送基板1666および介在する銅の層1664をアルミニウム層1660の表面に接合する。

図15Hに示すように、基板1652を除去した後、酸化物層1654を開いて相互連結部材1682と、パッド1680の露出面および基板1672上の第2の回路または他の多重チップ・モジュールへの接合との間を接触させる。次に基板1666を銅の剥離層1664に沿って機械的に取り除くか、または停止材として銅1660を使用して基板1666をエッチングする。次に銅の層1664および接着剤1662を除去し、図15Hの構造物1670を得る。

#### 同等物

当業界の専門家は、通常行われる実験を使用しないでも、上記に説明した本発明の特定の具体化例に対する多くの同等物に関して知識を得ることができ、或いはこれを確認することができよう。これらおよび他のすべての同等物は下記特許請求の範囲に包含されるものとする。



【図1】

FIG. 1A

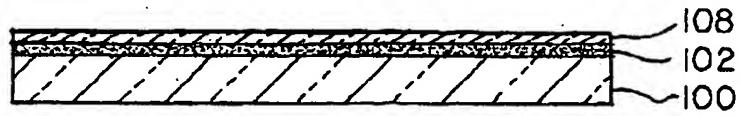


FIG. 1B

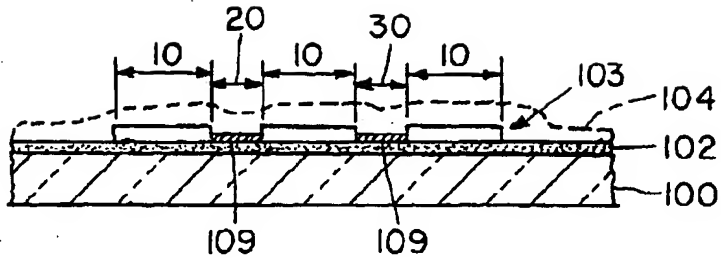


FIG. 1C

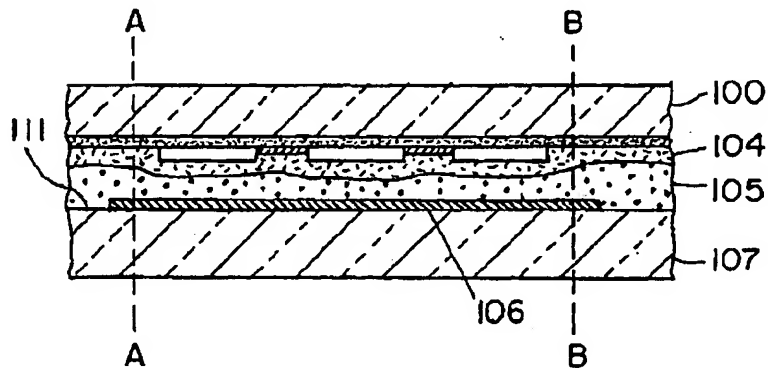
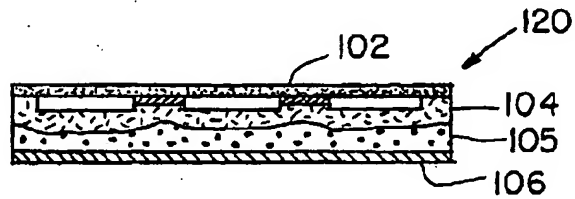
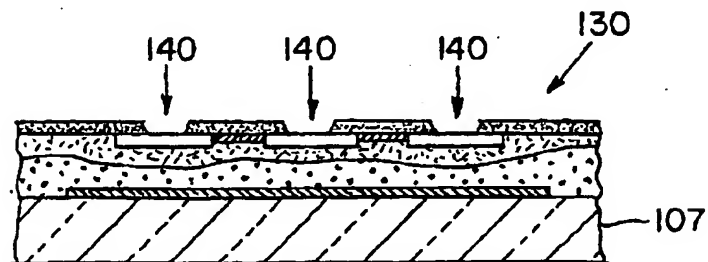


FIG. 1D



【図2】

FIG. 2



【図3】

FIG. 3A

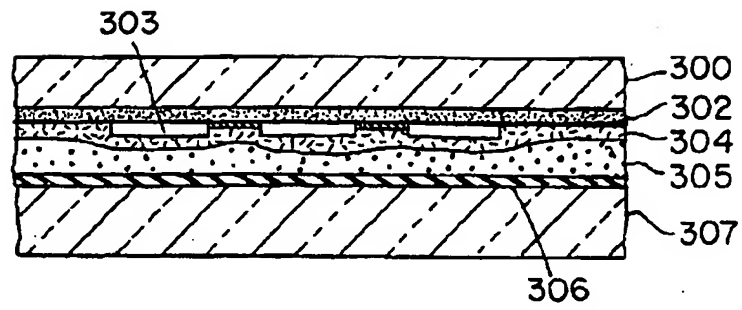


FIG. 3B

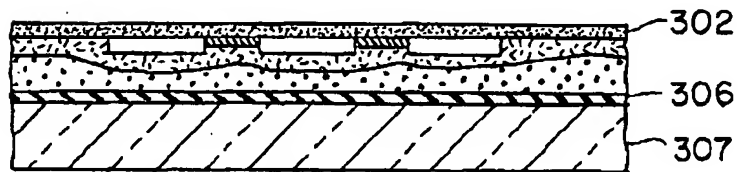
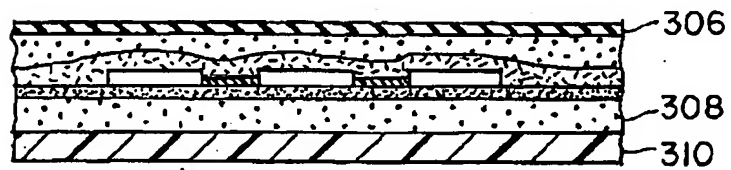
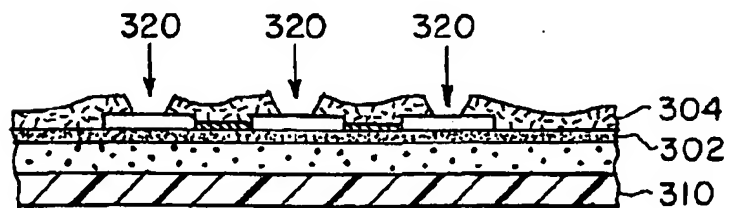


FIG. 3C



【図4】

FIG. 4



【図5】

FIG. 5A

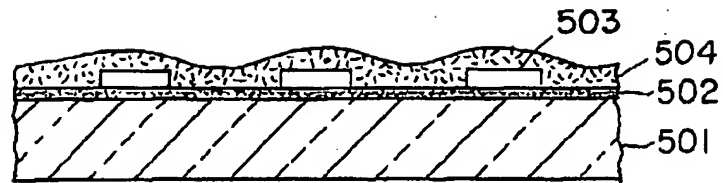


FIG. 5B



FIG. 5C

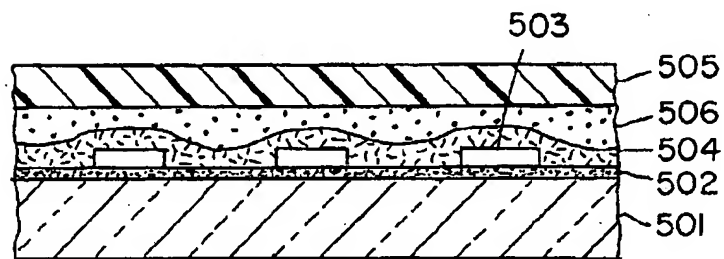


FIG. 5D

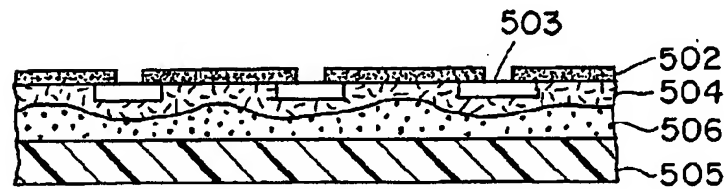
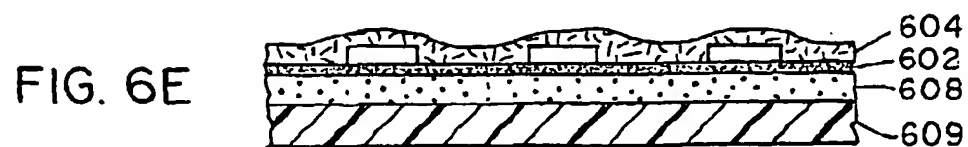
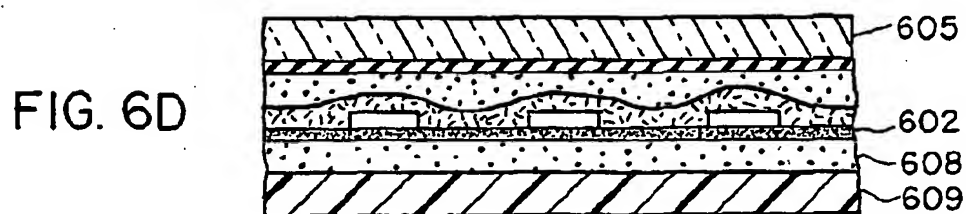
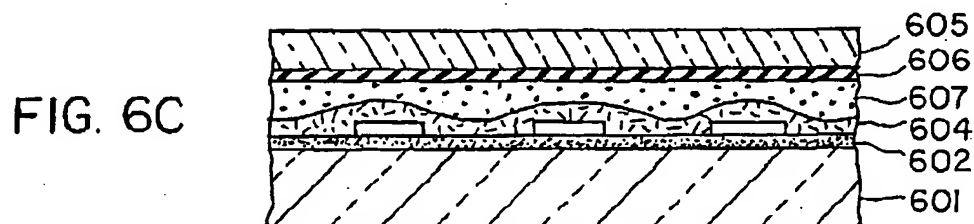
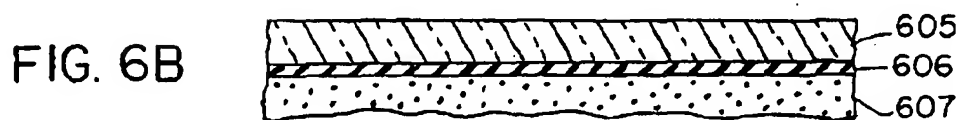
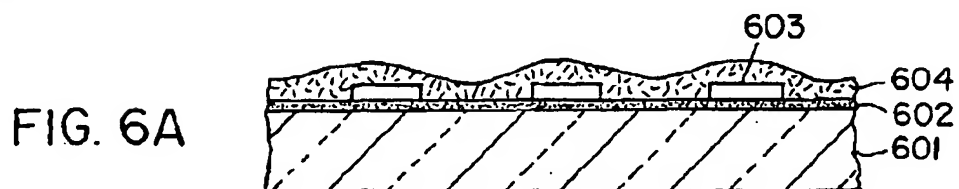


FIG. 5E



【図6】



【図7】

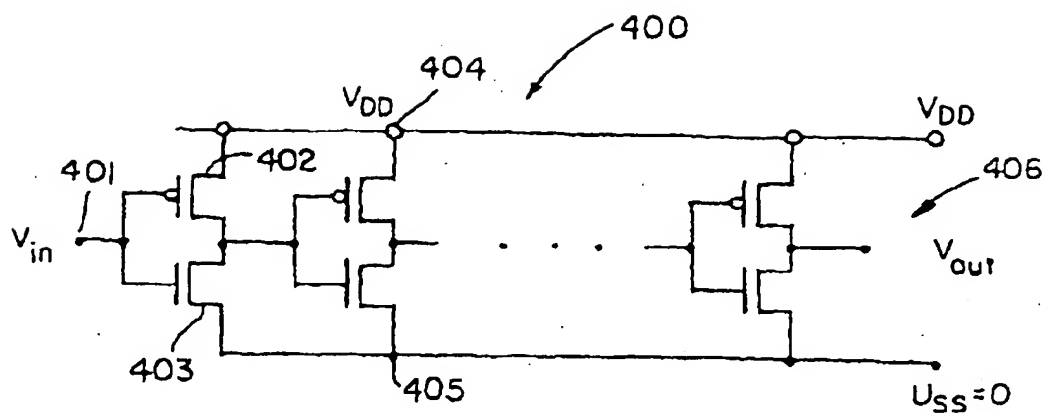


FIG. 7

【図8】

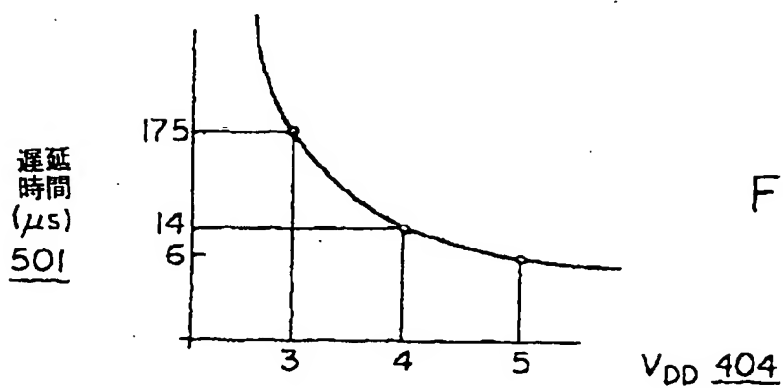
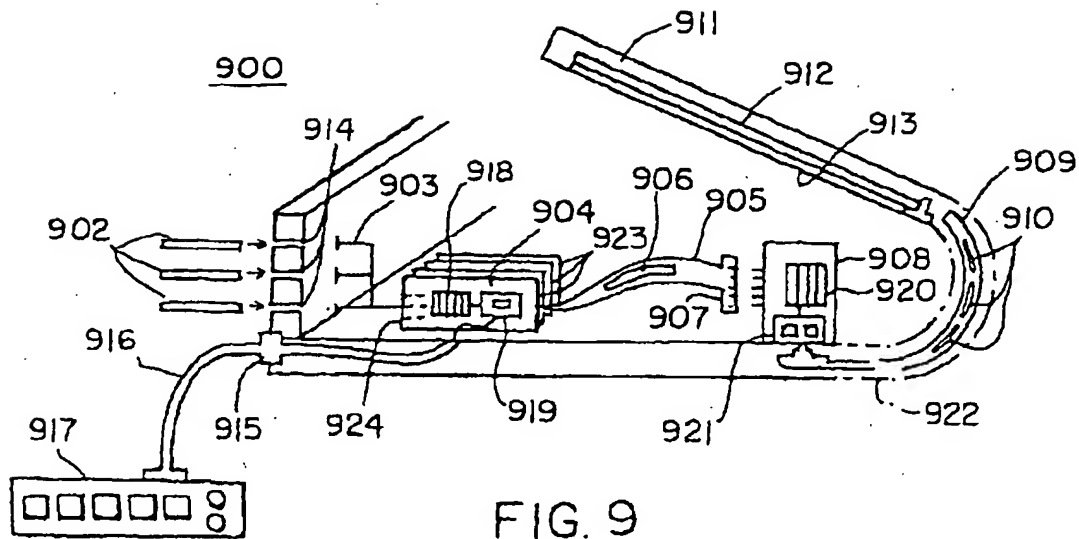
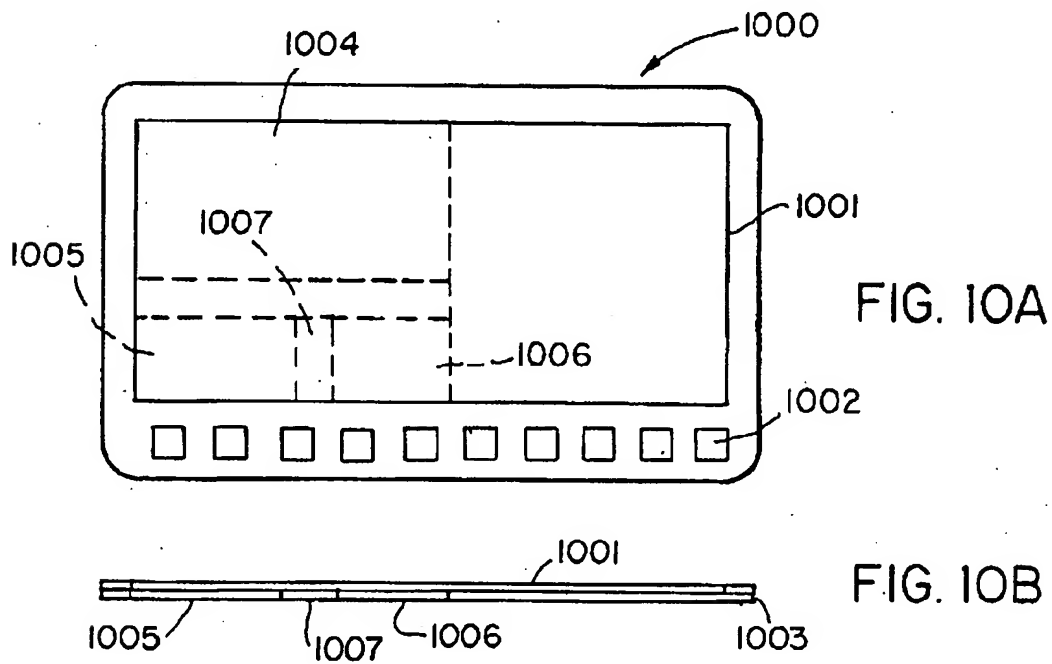


FIG. 8

【図9】



【図10】



【図11】

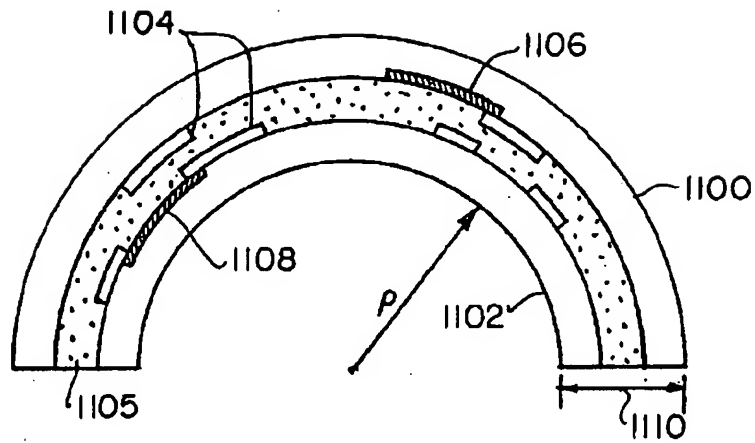


FIG. 11

【図12】

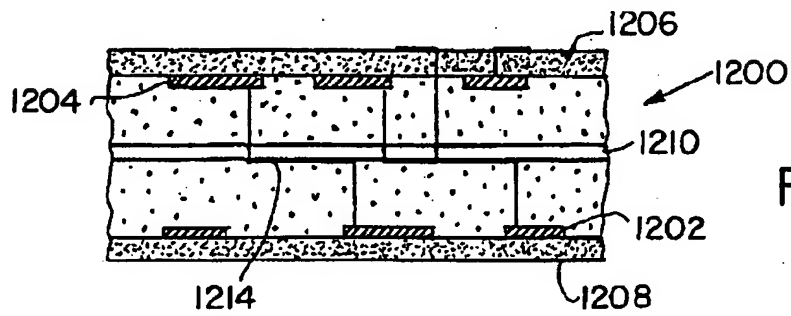


FIG. 12

【図13】

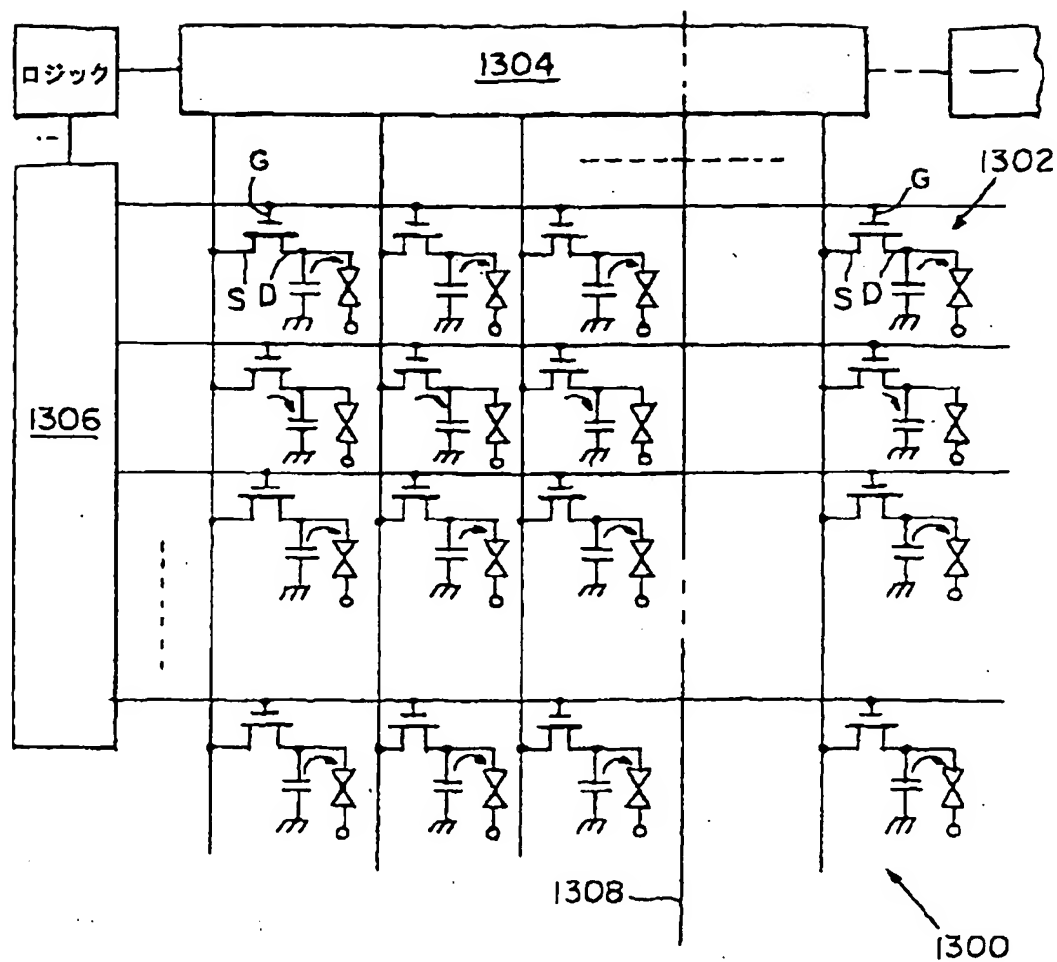


FIG. 13

【図14】

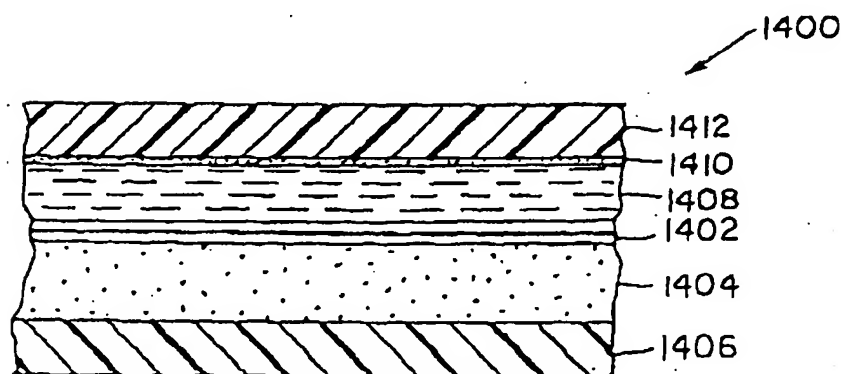


FIG. 14



【図15】

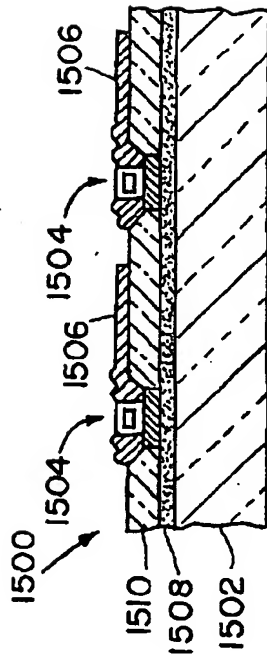


FIG. 15A

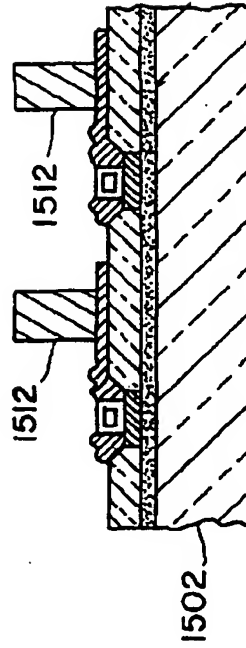


FIG. 15B

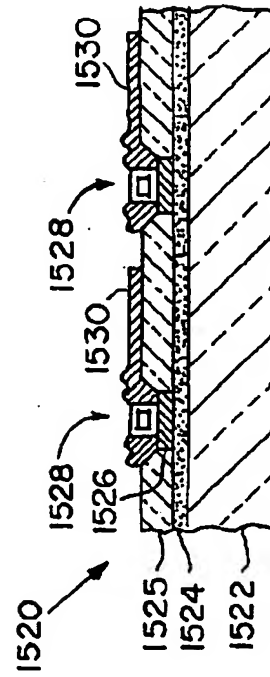


FIG. 15C

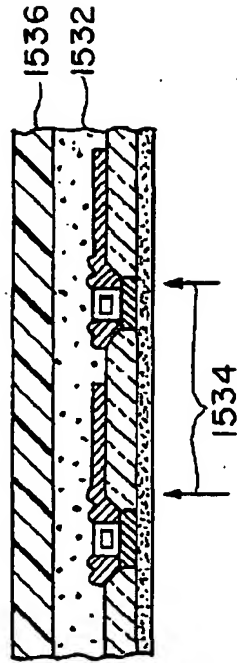


FIG. 15D

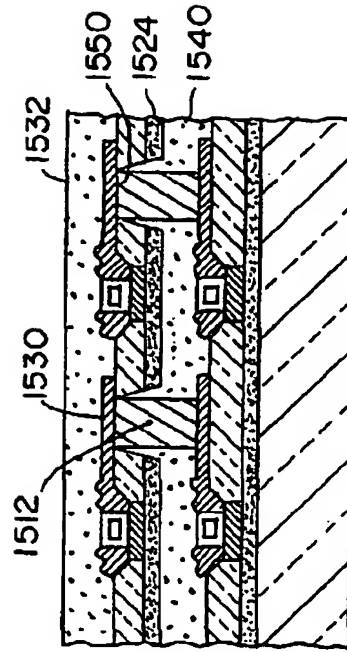


FIG. 15E

【図15】

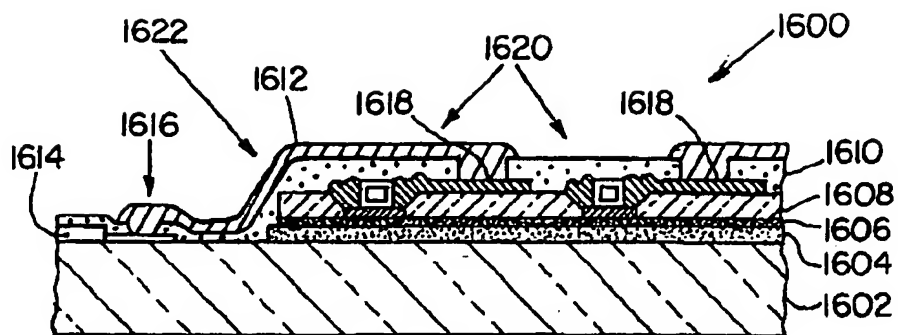


FIG. 15F

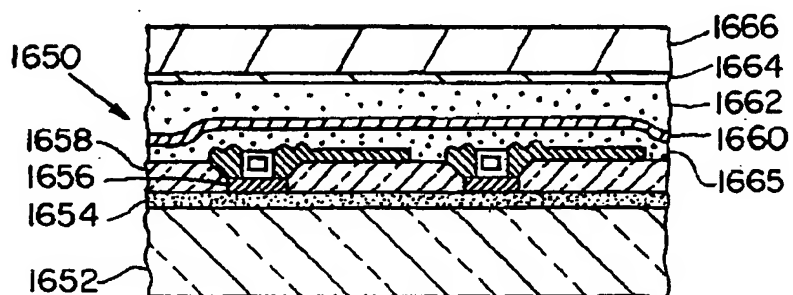


FIG. 15G

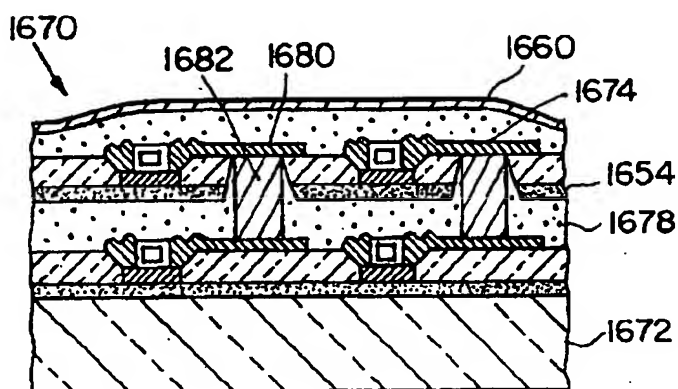


FIG. 15H

【手続補正書】特許法第184条の8第1項

【提出日】平成10年8月12日(1998. 8. 12)

【補正内容】

請求の範囲

1. 可撓性をもった基板；

絶縁層の上につくられた可撓性をもった薄膜集積回路；および

該薄膜集積回路および該絶縁層を該可撓性をもった基板に接合する接着層から成ることを特徴とする集積回路カード装置。

2. 薄膜集積回路は、基板が曲げられる運動をする際に該薄膜集積回路が該基板の形に合致するような $20\mu$ より薄い厚さをもっていることを特徴とする請求項1記載の装置。

3. 該集積回路はメモリーおよびプロセッサを含んでいることを特徴とする請求項1記載の装置。

4. 該可撓性をもった基板は矩形の形をし、厚さが $0.5\sim 1\text{mm}$ の重合体材料から成っていることを特徴とする請求項1記載の装置。

5. 複数の接点が露出した被覆層をさらに含むことを特徴とする請求項1記載の装置。

6. 基板の上に取り付けられた無線のインターフェースをさらに含むことを特徴とする請求項1記載の装置。

7. 基板全体に亘って延びた絶縁層の上に薄膜の半導体層をつくり；

この薄膜の半導体層で集積回路を製作し；

この集積回路および絶縁層を基板から可撓性材料へと転送し、この際該集積回路は可撓性をもった集積回路をつくる複数の間隔を置いて相互に連結された半導体区域を有することを特徴とする可撓性をもった回路装置を製作する方法。

8. さらに可撓性をもった集積回路を密封材で密封することを特徴

とする請求項7記載の方法。

9. さらに可撓性をもった集積回路でアクティブなマトリックス液晶ディスプレイをつくる工程を含む請求項7記載の方法。

10. 該転送工程はさらに接着層を用いて集積回路を第2の基板に接着させ、半導体基板の一部を除去し、第2の基板を集積回路から剥がす工程を含むことを特徴とする請求項7記載の方法。

11. 半導体基板は絶縁体の上にシリコンが載せられた構造体がシリコン基板の上に存在するものであることを特徴とする請求項7記載の方法。

12. 該可撓性材料は重合体材料であることを特徴とする請求項7記載の方法。

13. 集積回路の該転送工程はさらに集積回路の露出した第2の側を装置で処理する工程を含むことを特徴とする請求項7記載の方法。

14. 基板の上に半導体材料で基板をつくり；  
該半導体材料を有する集積回路を製作し；  
分離層で基板から分離された接着層を有する第2の基板をつくり；  
集積回路が接着層に接着するように該基板から第2の基板へと集積回路を転送し；

半導体材料の一部を取り去ってその中の集積回路を露出させ；  
分離層の所で第2の基板を取り去り可撓性の集積回路をつくることを特徴とする薄い可撓性回路装置の製作法。

15. さらに銅を含む分離層をつくる工程を含むことを特徴とする請求項14記載の方法。

16. 分離層をつくる該工程は厚さが700 Åより薄い銅の層をつくる工程を含むことを特徴とする請求項15記載の方法。

17. 厚さが15 μより薄い接着層をつくる工程をさらに含むことを特徴とする請求項14記載の方法。

18. 厚さが4 μより薄い可撓性集積回路をつくる工程をさらに含むことを特徴とする請求項14記載の方法。

19. 絶縁層上の半導体材料；  
該半導体材料で製作された集積回路；  
該集積回路を密封する被覆層；および

該集積回路に接着した可撓性の支持層から成ることを特徴とする可撓性回路。

20. 該支持層が銅であることを特徴とする請求項19の回路。

21. 該支持層がテフロンであることを特徴とする請求項19の回路。

22. 該支持層がプラスチックであることを特徴とする請求項19の回路。

。

23. 該回路はメモリー付きのICカードから成ることを特徴とする請求項19の回路。

24. 該回路はデータ・プロセッサから成ることを特徴とする請求項19の回路。

25. さらに該回路と外部送信源またはカード・リーダーとの間にアンテナ・インターフェースを含むことを特徴とする請求項19の回路。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

Inter. nal Application No  
PCT/US 97/12044

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H01L23/538 H01L21/98		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 637 841 A (HITACHI LTD) 8 February 1995 see column 7, line 35 - column 10, line 44; figures 6-14	1,2,4-8, 10,11, 19,22,25
Y	see column 11, line 8 - column 12, line 19; figures 17-20 see column 12, line 44 - column 13, line 12; figure 23 ---	9,13,14
Y	US 5 258 325 A (SPITZER MARK B ET AL) 2 November 1993 cited in the application see abstract; figures 4A-4L,5A,5B ---	9
Y	FR 2 599 893 A (RICOH KK) 11 December 1987 see page 22, line 11 - page 25, line 27; figures 25-28 ---	13,14
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to underlain the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "A" document member of the same patent family		
Date of the actual completion of the international search 18 September 1997		Date of mailing of the international search report 03 -10- 1997
Name and mailing address of the ISA European Patent Office, P.B. 5811 Patentlaan 2 NL - 2210 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 631 epo nl, Fax (+31-70) 340-3016		Authorized officer Le Minh, I

## INTERNATIONAL SEARCH REPORT

Intern. Application No.  
PCT/US 97/12044

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 155 068 A (TADA NOBURU) 13 October 1992	1-8, 12, 19, 22, 23
A	see column 2, line 20 - column 4, line 11; figures 1-4	10, 14, 17
X	--- PATENT ABSTRACTS OF JAPAN vol. 096, no. 008, 30 August 1996 & JP 08 111360 A (HITACHI MAXELL LTD), 30 April 1996,	1, 2, 5, 19
A	see abstract	7, 14, 18
A	--- PATENT ABSTRACTS OF JAPAN vol. 095, no. 011, 26 December 1995 & JP 07 202147 A (CANON INC), 4 August 1995,	1, 7, 14, 19
A	see abstract	
A	--- EP 0 703 619 A (FRAUNHOFER GES FORSCHUNG) 27 March 1996 see column 5, line 37 - column 6, line 52; figures 1-4	1, 7, 14, 19
A	--- US 5 373 627 A (GREBE KURT R) 20 December 1994 see column 5, line 41 - column 6, line 44; figures 2A-2F	1, 7, 14, 19
	-----	

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 97/12044

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0637841 A	08-02-95	JP 7099267 A	11-04-95
US 5258325 A	02-11-93	US 5206749 A	27-04-93
		US 5300788 A	05-04-94
		CA 2129123 A	19-08-93
		EP 0626099 A	30-11-94
		JP 7504782 T	25-05-95
		WO 9316491 A	19-08-93
		US 5377031 A	27-12-94
		US 5539550 A	23-07-96
		US 5583335 A	10-12-96
		US 5499124 A	12-03-96
		US 5376561 A	27-12-94
		US 5256562 A	26-10-93
		US 5331149 A	19-07-94
		EP 0565588 A	20-10-93
		JP 6504139 T	12-05-94
		US 5396304 A	07-03-95
		WO 9212453 A	23-07-92
		US 5376979 A	27-12-94
		US 5438241 A	01-08-95
		US 5362671 A	08-11-94
		US 5475514 A	12-12-95
		US 5666175 A	09-09-97
		US 5581385 A	03-12-96
		US 5661371 A	26-08-97
		US 5258320 A	02-11-93
		US 5317236 A	31-05-94
		US 5317436 A	31-05-94
		US 5444557 A	22-08-95
		WO 9213363 A	06-08-92
		US 5453405 A	26-09-95
FR 2599893 A	11-12-87	JP 63260041 A	27-10-88
		JP 63081095 A	11-04-88
		JP 63099995 A	02-05-88
		US 5048179 A	17-09-91
US 5155068 A	13-10-92	JP 3087299 A	12-04-91



## INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/US 97/12044

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0703619 A	27-03-96	DE 4433833 A JP 8204123 A	28-03-96 09-08-96
US 5373627 A	20-12-94	NONE	

---

フロントページの続き

- (72)発明者 チェオング, ヌグエ・ケイ  
アメリカ合衆国マサチューセッツ州02171ク  
インシー・シャロンロード31
- (72)発明者 ジャコブセン, ジェフリー  
アメリカ合衆国カリフォルニア州95023ホ  
リスター・トラビストレイル501
- (72)発明者 フアン, ジョン・シー・シー  
アメリカ合衆国マサチューセッツ州02167チ  
ェスナットヒル・ウエストロクスバリーパ  
ークウェイ881